

NONVOLATILE RANDOM ACCESS MEMORY AND ITS MANUFACTURE

Patent number: JP8335673

Publication date: 1996-12-17

Inventor: ONISHI SHIGEO; ISHIHARA KAZUYA

Applicant: SHARP CORP

Classification:

- international: H01L27/108; H01L21/8242; H01L27/04; H01L21/822;
H01L27/10; H01L21/8247; H01L29/788; H01L29/792

- european:

Application number: JP19950138262 19950605

Priority number(s):

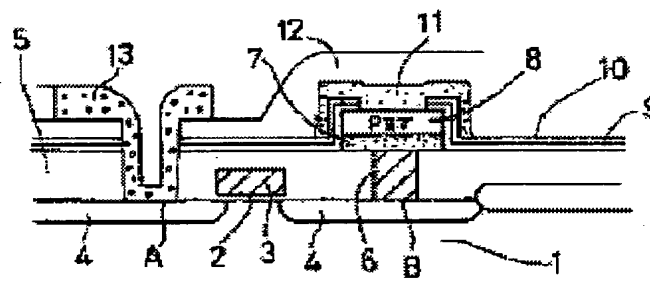
Also published as:

US5638319 (A)

Abstract of JP8335673

PURPOSE: To prevent deterioration and removal caused since a capacitor ferroelectric film comes into direct contact with a layer insulation film such as an SiO₂ film, an NSG film or a BPSG film by coating at least a lower electrode of a ferroelectric capacitor and a side wall of a capacitor ferroelectric film with a lamination film of a diffusion prevention film and an insulating thin film.

CONSTITUTION: A lower electrode 7, a capacitor ferroelectric film 8 formed on the lower electrode 7 alone and an upper electrode 11 which functions as a drive line are laminated in a ferroelectric capacitor. The lower electrode 7 and a side wall of the capacitor ferroelectric film 8 are coated with a lamination film of a TiO₂ film 9 and an SiO₂ film 10 which has an opening on the capacitor ferroelectric film 8 and is formed all over from above the capacitor ferroelectric film 8 to above the layer insulation film 5. Since the TiO₂ film 9 is provided between the capacitor ferroelectric film 8 and the SiO₂ films 10 and 12 to prevent them from coming into contact with each other, the capacitor ferroelectric film 8 does not deteriorate and peel.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-335673

(43) 公開日 平成8年(1996)12月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242				4 5 1
27/04			27/04	C
21/822			29/78	3 7 1
27/10	4 5 1			

審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平7-138262

(22) 出願日 平成7年(1995)6月5日

特許法第30条第1項適用申請有り 1994年12月11日～12月14日、開催の「international ELECTRON DEVICES meeting」において文書をもって発表

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大西 茂夫

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 石原 数也

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

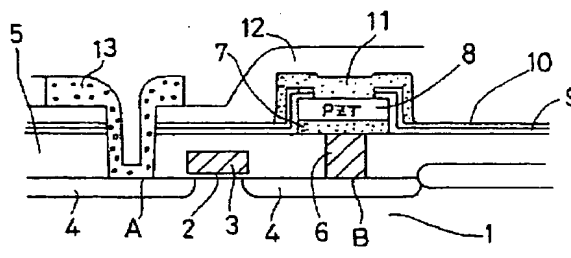
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 不揮発性ランダムアクセスメモリ及びその製造方法

(57) 【要約】

【構成】 半導体基板1上に形成されたゲート絶縁膜2、ゲート電極3及び一対の拡散層4を有するMOSトランジスタと、MOSトランジスタの一方の拡散層4に接続された下部電極7、下部電極7上にのみ形成された強誘電体膜8及び上部電極11を有する強誘電体キャパシタとからなり、少なくとも下部電極7及び強誘電体膜8の側壁が拡散防止膜9とSiO₂、膜10との積層膜で被覆され、強誘電体膜8上面で強誘電体膜8と上部電極11とが接しており、MOSトランジスタの他方の拡散層4にビット線13が接続され、ゲート電極3がワード線に接続され、前記強誘電体キャパシタの上部電極11がドライブ線として構成される不揮発性ランダムアクセスメモリ。

【効果】 強誘電体膜8が直接SiO₂、膜10等の層間絶縁膜と接触することなく、強誘電体膜8の劣化・剥離等を防止でき、信頼性の高いキャパシタを得、ひいては、FRAM自体を信頼性を向上することができる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたゲート絶縁膜、ゲート電極及び一対の拡散層を有するMOSトランジスタと、

前記MOSトランジスタの一方の拡散層に接続された下部電極、該下部電極上にのみ形成されたキャパシタ強誘電体膜及び上部電極を有する強誘電体キャパシタとからなり、

少なくとも前記下部電極及びキャパシタ強誘電体膜の側壁が拡散防止膜と絶縁性薄膜との積層膜で被覆され、前記キャパシタ強誘電体膜上面で該キャパシタ強誘電体膜と前記上部電極とが接しており、前記MOSトランジスタの他方の拡散層にビット線が接続され、前記ゲート電極がワード線に接続され、前記強誘電体キャパシタの上部電極がドライブ線として構成されてなることを特徴とする不揮発性ランダムアクセスメモリ。

【請求項2】 半導体基板上に形成されたゲート絶縁膜、ゲート電極及び一対の拡散層を有するMOSトランジスタと、

前記MOSトランジスタを被覆する層間絶縁膜と、前記MOSトランジスタの一方の拡散層上の前記層間絶縁膜に形成されたコンタクトホールを通して前記拡散層に接続された下部電極、該下部電極を被覆するように形成されているキャパシタ強誘電体膜及び上部電極を有する強誘電体キャパシタとからなり、前記層間絶縁膜と下部電極との間に拡散防止膜が形成されており、前記MOSトランジスタの他方の拡散層にビット線が接続され、前記ゲート電極がワード線に接続され、前記強誘電体キャパシタの上部電極がドライブ線として構成されてなることを特徴とする不揮発性ランダムアクセスメモリ。

【請求項3】 キャパシタ強誘電体膜及び上部電極が、それらの側壁に拡散防止膜からなるスペースを有している請求項2記載の不揮発性ランダムアクセスメモリ。

【請求項4】 拡散防止膜が、 TiO_2 、 ZrO_2 又は Al_2O_3 膜である請求項1～3のいずれかに記載の不揮発性ランダムアクセスメモリ。

【請求項5】 (I) 半導体基板上にゲート絶縁膜、ゲート電極及び一対の拡散層を有するMOSトランジスタを形成し、該MOSトランジスタ上に層間絶縁膜を積層し、(II)層間絶縁膜に一方の拡散層に至るコンタクトホールを形成し、該コンタクトホール内にコンタクトプラグを形成し、(III) 前記コンタクトプラグを含む半導体基板上全面に下部電極材料及び強誘電体膜を順次積層し、これらを同一マスクを用いて所望の形状にパターニングして下部電極及びキャパシタ強誘電体膜を形成し、(IV)得られた半導体基板上全面に拡散防止膜及び SiO_2 膜を順次積層し、(V) 前記キャパシタ強誘電体膜上の拡散防止膜及び SiO_2 膜に開口を形成し、(VI)該開口を含む半導体基板上に上部電極材料を積層し、これを所

望の形状にパターニングして上部電極を形成することからなる請求項1記載の不揮発性ランダムアクセスメモリの製造方法。

【請求項6】 (i) 半導体基板上にゲート絶縁膜、ゲート電極及び一対の拡散層を有するMOSトランジスタを形成し、該MOSトランジスタ上に層間絶縁膜、さらに該層間絶縁膜上に拡散防止膜を積層し、(ii)層間絶縁膜及び拡散防止膜に、一方の拡散層に至るコンタクトホールを形成し、該コンタクトホール内にコンタクトプラグを形成し、(iii) 前記コンタクトプラグを含む半導体基板上全面に下部電極材料を形成し、所望の形状にパターニングして下部電極を形成し、(iv)該下部電極上に強誘電体膜、該強誘電体膜上に上部電極材料を積層し、これらを同一マスクを用いて所望の形状にパターニングしてキャパシタ強誘電体膜及び上部電極を形成することからなる請求項2記載の不揮発性ランダムアクセスメモリの製造方法。

【請求項7】 さらに、(vii) 得られた半導体基板上に拡散防止膜を形成し、エッチバックすることにより、キャパシタ強誘電体膜及び上部電極の側壁に拡散防止膜からなるスペースを形成する請求項6記載の不揮発性ランダムアクセスメモリの製造方法。

【請求項8】 拡散防止膜が、 TiO_2 、 ZrO_2 又は Al_2O_3 膜である請求項5～7のいずれかに記載の不揮発性ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は不揮発性ランダムアクセスメモリ及びその製造方法に関し、さらに詳しくは、キャパシタ絶縁膜として強誘電体膜を用いた高集積化対応の不揮発性ランダムアクセスメモリ及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】ランダムアクセス可能なメモリ素子としては、従来からSRAM（スタティックラム）およびDRAM（ダイナミックラム）が代表的であるが、これらはいずれも揮発性であるとともに、前者は1メモリセル当たり6個のトランジスタ素子を要するため高集積化の点で限界があり、後者はデータ保持のために周期的にキャパシターをリフレッシュする必要があるため消費電力が大きくなるという問題点がある。

【0003】そこで、最近ランダムアクセス可能かつ不揮発性のメモリ素子として、強誘電体をキャパシタの誘電体膜として用いたいいわゆるF（Ferroelectric）RAMが注目を集めている。なかでも、セルの占有面積を縮小化するために、DRAMでみられるようなスタック型FRAMのメモリセル構造が実現されている。かかるスタック型FRAMのメモリセルは、例えば、特開平3-296262号公報や特開平4-356958号公報

に提案されている。

【0004】図10は、上記公報に提案されているスタック型FRAMのメモリセルの一実施例を示す。このメモリセルは、半導体基板41上にゲート絶縁膜42を介して形成されたゲート電極43と1対のソース/ドレイン領域44とからなるMOSトランジスタと、コンタクトプラグ45を介してMOSトランジスタの一方のソース/ドレイン領域44と接続された下部電極49、この下部電極49を完全に被覆するように形成された強誘電体膜50及びこの強誘電体膜50を完全に被覆するよう

に形成された上部電極51とからなる強誘電体キャパシタとから構成されている。MOSトランジスタの他方のソース/ドレイン領域44はビットライン48と接続されており、MOSトランジスタ及び強誘電体キャパシタの上にはそれぞれ層間絶縁膜としてBPSG46及びSiO₂膜47が形成されている。強誘電体キャパシタの上部電極51は、ゲート電極43の延設方向に直交する方向にドライブ線52が接続されている。

【0005】また、図11は、さらに別のスタック型FRAMのメモリセルを示す。このメモリセルは、強誘電体キャパシタの下部電極53、強誘電体膜54及び上部電極55の端部がそろった構造を有しており、このキャパシタ構造を除いては、図10のメモリセルとほぼ同一の構造を有している。しかし、図11に示したメモリセルは、強誘電体キャパシタの下部電極53、強誘電体膜54及び上部電極55の端部がそろった構造であるため、強誘電体膜54とキャパシタ上に積層したSiO₂膜47とが直接接触することとなる。そのため、後工程におけるアニールによって、SiO₂膜47と強誘電体膜54との間で相互拡散が起こり、強誘電体膜の剥離が発生する。

【0006】図10に示したFRAMのメモリセルにおいては、下部電極49を被覆するように形成された強誘電体膜50の上に、さらにこの強誘電体膜50を被覆するように上部電極51が形成されているため、強誘電体膜50の側面が上部電極51で被覆され、SiO₂膜47と直接接触することはないが、強誘電体膜50及び上部電極51のそれぞれをパターニングするためのフォトリソグラフィ及びエッチング工程が必要になり、製造工程が増加する。また、強誘電体膜50は、フォトリソグラフィ及びエッチング工程において汚染・ダメージを受けることとなるため、上部電極材料を形成した後に、上部電極材料とともにエッチングすることが好ましい。

【0007】さらに、他の従来例として、強誘電体キャパシタの上部電極51及び55を、各メモリセルに共通のプレート電極として形成することが考えられるが、データの書き換えおよび読み出しを行う場合、上部電極51、55に所定の電圧を印加すると、選択メモリセルの上下左右および斜め方向のメモリセルに対してディスタ

ープが生じやすいという課題があり、ワード線やビット

線以外の信号線であるドライブ線を形成することが好ましい。

【0008】本発明は上記課題に鑑みなされたものであり、強誘電体膜の劣化又は剥離等が生じない信頼性の高いメモリセルを実現することができるFRAM及びその製造方法を提供すること目的としている。

【0009】

【課題を解決するための手段】本発明によれば、半導体基板上に形成されたゲート絶縁膜、ゲート電極及び一対の拡散層を有するMOSトランジスタと、前記MOSトランジスタの一方の拡散層に接続された下部電極、該下部電極上にのみ形成されたキャパシタ強誘電体膜及び上部電極を有する強誘電体キャパシタとからなり、少なくとも前記下部電極及びキャパシタ強誘電体膜の側壁が拡散防止膜と絶縁性薄膜との積層膜で被覆され、前記キャパシタ強誘電体膜上面で該キャパシタ強誘電体膜と前記上部電極とが接しており、前記MOSトランジスタの他方の拡散層にビット線が接続され、前記ゲート電極がワード線に接続され、前記強誘電体キャパシタの上部電極がドライブ線として構成されてなる不揮発性ランダムアクセスメモリが提供される。

【0010】また、半導体基板上に形成されたゲート絶縁膜、ゲート電極及び一対の拡散層を有するMOSトランジスタと、前記MOSトランジスタを被覆する層間絶縁膜と、前記MOSトランジスタの一方の拡散層上の前記層間膜に形成されたコンタクトホールを通して前記拡散層に接続された下部電極、該下部電極を被覆するように形成されているキャパシタ強誘電体膜及び上部電極を有する強誘電体キャパシタとからなり、前記層間絶縁膜と下部電極との間に拡散防止膜が形成されており、前記MOSトランジスタの他方の拡散層にビット線が接続され、前記ゲート電極がワード線に接続され、前記強誘電体キャパシタの上部電極がドライブ線として構成されてなる不揮発性ランダムアクセスメモリが提供される。

【0011】さらに、本発明の製造方法によれば、(I)半導体基板上にゲート絶縁膜、ゲート電極及び一対の拡散層を有するMOSトランジスタを形成し、該MOSトランジスタ上に層間絶縁膜を積層し、(II)層間絶縁膜に一方の拡散層に至るコンタクトホールを形成し、該コンタクトホール内にコンタクトプラグを形成し、(III)前記コンタクトプラグを含む半導体基板上全面に下部電極材料及び強誘電体膜を順次積層し、これらを同一マスクを用いて所望の形状にパターニングして下部電極及びキャパシタ強誘電体膜を形成し、(IV)得られた半導体基板上全面に拡散防止膜及びSiO₂膜を順次積層し、(V)前記キャパシタ強誘電体膜上の拡散防止膜及びSiO₂膜に開口を形成し、(VI)該開口を含む半導体基板上に上部電極材料を積層し、これを所望の形状にパターニングして上部電極を形成することからなる第1の不揮発性ランダムアクセスメモリの製造方法が提供される。

【0012】また、(i) 半導体基板上にゲート絶縁膜、ゲート電極及び一對の拡散層を有するMOSトランジスタを形成し、該MOSトランジスタ上に層間絶縁膜、さらに該層間絶縁膜上に拡散防止膜を積層し、(ii) 層間絶縁膜及び拡散防止膜に、一方の拡散層に至るコンタクトホールを形成し、該コンタクトホール内にコンタクトプラグを形成し、(iii) 前記コンタクトプラグを含む半導体基板上全面に下部電極材料を形成し、所望の形状にパターニングして下部電極を形成し、(iv) 該下部電極上に強誘電体膜、該強誘電体膜上に上部電極材料を積層し、

これらを同一マスクを用いて所望の形状にパターニングしてキャパシタ強誘電体膜及び上部電極を形成することからなる第2の不揮発性ランダムアクセスメモリの製造方法が提供される。

【0013】本発明におけるFRAMは、主として1個のMOSトランジスタと1個の強誘電体キャパシタが積層されて構成される。MOSトランジスタは、半導体基板上に形成されたゲート絶縁膜、ゲート電極及び一對の拡散層を有してなる。半導体基板としては、通常基板として用いることができる半導体基板であれば特に限定されるものではないが、シリコン基板が好ましい。また、ゲート絶縁膜、ゲート電極及び拡散層は、通常トランジスタとして形成される材料、膜厚及びサイズで形成されている。

【0014】強誘電体キャパシタは、下部電極、キャパシタ絶縁膜として強誘電体膜及び上部電極から構成される。下部電極及び上部電極は、通常電極として用いることができる導電体材料で形成されるものであり、例えば、Pt、Ti、RuO₂、IrO₂等の単層膜又はPt/Ti、Pt/Ti/TiN、Pt/TiN/Pt、Ti/Pt/Ti、TiN/Pt/TiN、Pt/Ti/TiN/Ti、RuO₂/TiN、IrO₂/Ir、IrO₂/TiN等の2層以上の積層膜が挙げられる。この際の膜厚は特に限定されるものではなく、電極材料、キャパシタのサイズ等により、適宜調整することができるが、電極として200Å～5000Å程度の膜厚で形成することが好ましい。キャパシタ絶縁膜としては、PZT、PLZT、SrBi₂、Ta_{2-x}Nb_xO₆等の強誘電体膜を1000～2000Å程度の膜厚で用いることが好ましい。

【0015】上記MOSトランジスタは、一方の拡散層が強誘電体キャパシタの下部電極に接続されている。例えば、導電体からなるコンタクトプラグ等によって接続される。コンタクトプラグの材料としては特に限定されるものではなく、金属、不純物がドーピングされたポリシリコン等が単層で用いられてもよく、バリアメタル等を介在させてもよい。

【0016】本発明における強誘電体キャパシタは、上下部電極に挟持される強誘電体膜を層間絶縁膜として形成されているSiO₂膜、下地NSG、BPSG等と直

接接触することにより、強誘電体膜の劣化又は剥離等を防止するために、強誘電体膜と層間絶縁膜との間に拡散防止膜を介在させることを特徴の1つとしている。つまり、下部電極、強誘電体膜及び上部電極の各端部が揃った同一形状である場合、又は下部電極、強誘電体膜の各端部が揃った同一形状で、その上に上部電極がそれらを被覆するように形成されている場合であって、かつその上に層間絶縁膜としてSiO₂膜、NSG、BPSG等が形成される場合には、強誘電体キャパシタの側部表面に現れている強誘電体膜の側部が直接SiO₂膜等と接触することとなる。従って、この場合には強誘電体キャパシタの側壁に拡散防止膜と絶縁性薄膜との積層膜(図1のTiO₂膜とSiO₂膜に対応)又は拡散防止膜からなるスペーサ(図8のTiO₂からなるスペーサに対応)等を配置させることが好ましい。

【0017】また、強誘電体膜が下部電極を被覆するように形成され、その上に上部電極が形成され、強誘電体膜と上部電極との端部が揃った同一形状である場合、又は強誘電体膜が下部電極を被覆するように形成され、その上に上部電極がそれらを被覆するように形成された形成されている場合であって、かつキャパシタ下層に層間絶縁膜としてSiO₂膜、NSG、BPSG等が形成される場合には、強誘電体キャパシタの底面に現れている強誘電体膜が直接下層のSiO₂膜等と接触することとなる。従って、この場合には層間絶縁膜上に拡散防止膜を配置させ(図5及び図8におけるTiO₂膜に対応)、その上に強誘電体キャパシタを形成することが好ましい。

【0018】さらに、強誘電体膜が下部電極を被覆するように形成され、その上に上部電極が形成され、強誘電体膜と上部電極との端部が揃った同一形状である場合であって、かつキャパシタ上層及びキャパシタ下層に層間絶縁膜としてSiO₂膜、NSG、BPSG等が形成される場合には、強誘電体キャパシタの側部表面及び底面に現れている強誘電体膜が直接上層及び下層のSiO₂膜等と接触することとなる。従って、この場合には強誘電体キャパシタの側壁に拡散防止膜からなるスペーサ(図8のTiO₂からなるスペーサに対応)等を配置させるとともに、層間絶縁膜上に拡散防止膜を配置させ(図8のTiO₂膜に対応)、その上に強誘電体キャパシタを形成することが好ましい。

【0019】本発明における拡散防止膜としては、金属酸化物が好ましく、例えば、TiO₂、ZrO₂、Al₂O₃等が挙げられる。これらの金属酸化物の膜厚は特に限定されるものではないが、例えばスペーサとして形成する場合には300～1000Å程度の膜厚、拡散防止膜と絶縁性薄膜との積層膜として形成する場合の拡散防止膜の膜厚は300～1000Å程度、層間絶縁膜上に全面に形成する場合には300～1000Å程度の膜厚で形成することが好ましい。なお拡散防止膜と絶縁性薄膜

との積層膜とする場合の絶縁性薄膜としては、 SiO_2 のほか、 SiN 等を、 $500 \sim 1500 \text{ \AA}$ 程度の膜厚で形成することが好ましい。

【0020】本発明のFRAMにおいては、MOSトランジスタを構成するゲート電極がワード線として機能し、MOSトランジスタの他方の拡散層がビット線に接続されている。また、強誘電体キャパシタの上部電極はドライブ線として機能し、ビット線方向又はワード線方向に共有するように形成されている。上部電極（ドライブ線）は、選択セルの隣接セルに対するディスタブを低減するために、ワード線方向と共有、つまりワード線に平行に配設されていることが好ましい。

【0021】本発明のFRAMの製造方法における工程(I)では、半導体基板上MOSトランジスタを形成し、この上に層間絶縁膜を積層する。MOSトランジスタにおけるゲート絶縁膜、ゲート電極、拡散層及び層間絶縁膜として挙げられる SiO_2 、 NSG 、 BPSG 等は公知の方法で形成することができる。工程(II)においては、層間絶縁膜に一方の拡散層に至るコンタクトホールを形成し、コンタクトホール内にコンタクトプラグを形成する。コンタクトホールは、公知の方法、例えばフォトリソグラフィ工程及び CF_4 、 CHF_3 ガスによるドライエッチング又はウェットエッチング等により形成することができる。コンタクトプラグは、導電体を、コンタクトホールを含む半導体基板上に積層し、例えば、CMP (Chemical Mechanical Polishing) 法によりエッチバックすることにより形成することができる。

【0022】工程(III)において、上記で得られた半導体基板上全面に下部電極材料及び強誘電体膜を順次積層し、これらを同一マスクを用いて所望の形状にパターニングして下部電極及びキャパシタ強誘電体膜を形成する。下部電極材料の積層は、例えば、PVD法又はスパッタ法等により行うことができる。また、強誘電体膜は、MOCVD法、ゾルゲル法又はスパッタ法等により形成できるが、ステップカバレッジ等の観点からMOCVD法によることが好ましい。これらのパターニングは、塩素系又はフッ素系等のガスを用いたドライエッチング等により行うことができる。なお、パターニング終了後に、エッチングによる強誘電体表面に受けたエッチングダメージを回復するために $500 \sim 600^\circ\text{C}$ 程度、 $10 \sim 60$ 秒間程度、酸素雰囲気中でRTAを行うことが好ましい。

【0023】工程(IV)では、上記で得られた半導体基板上全面に拡散防止膜及び SiO_2 膜を順次積層する。拡散防止膜は、スパッタ法により金属層を堆積し、その後酸素雰囲気中、 $500 \sim 600^\circ\text{C}$ 程度の温度範囲でアニールする方法、または反応性スパッタ法により形成することができる。しかし、スパッタ法及びアニールによる方法では、ステップカバレッジが悪く、金属層形成後に酸化による結晶成長させるため、エッチングが困難であ

る。一方、反応性スパッタ法においては 200°C 程度の低温でアニールすることが可能であるため、金属酸化膜がアモルファス状に成長しエッチングが容易である。

【0024】工程(V)においては、キャパシタ強誘電体膜上の拡散防止膜及び SiO_2 膜に開口を形成する。これら膜は、所望のマスクを形成した後、 CHF_3 、 CF_4 等によりエッチングすることが好ましい。また、開口部における強誘電体表面に受けたエッチングダメージを回復するために $500 \sim 600^\circ\text{C}$ 程度、 $10 \sim 60$ 秒間程度、酸素雰囲気中でRTAを行うことが好ましい。

【0025】工程(VI)では、得られた半導体基板上に上部電極材料を積層し、所望の形状にパターニングする。上部電極材料の積層及びパターニングは、用いる材料等により異なるが、上記の下部電極材料の積層及びパターニングと同様の方法で行うことができる。なお、上記の素子を形成したのち、層間絶縁膜を形成するが、この場合の層間絶縁膜は、公知の方法により、膜厚 $2000 \sim 6000 \text{ \AA}$ 程度で形成することができる。

【0026】上記の製造方法での強誘電体キャパシタの製造方法においては、下部電極/強誘電体膜のパターニング、拡散防止膜/絶縁性薄膜の開口、及び上部電極のパターニングのそれぞれでフォトリソグラフィ工程による3枚のマスクの形成が必要となる。また、拡散防止膜/絶縁性薄膜の開口の際のエッチングにより、強誘電体膜にダメージが導入される場合がある。

【0027】そこで、本発明の別の製造方法により上記問題が改善されることとなる。つまり、工程(I)～(VI)における各プロセスと同様のプロセスを、工程(i)～(iv)における順序で採用することにより、下部電極のパターニング、強誘電体膜/上部電極のパターニングと、2枚のマスク形成というプロセス数の削減を実現するとともに、強誘電体膜のエッチングダメージを回避することができる。なお、工程(iv)における上部電極材料と強誘電体とのパターニングは、上記工程(III)における下部電極材料と強誘電体とのパターニングと同様に行うことができる。パターニングの後、エッチングによる上部電極へのチャージアップ等のダメージを回復するため、RTAによる酸素雰囲気中、 $550 \sim 650^\circ\text{C}$ 、 $10 \sim 60$ 秒間程度のアニールを行うことが好ましい。

【0028】さらに、強誘電体キャパシタの側部に強誘電体膜が現れている場合には、工程(vii)において、拡散防止膜からなるスペーサを形成することが好ましい。拡散層膜は上記と同様に形成することができ、RIE等の異方性エッチングによりスペーサを形成することができる。

【0029】

【作用】本発明の第1のFRAMによれば、上記に示したように、強誘電体キャパシタの少なくとも下部電極及びキャパシタ強誘電体膜の側壁が拡散防止膜と絶縁性薄膜との積層膜で被覆されているため、キャパシタ強誘電

体膜が直接SiO₂、膜、NSG膜又はBPSG膜等の層間絶縁膜と接触することによるキャパシタ強誘電体膜の劣化及び剥離等が防止される。

【0030】また、本発明の第2のFRAMによれば、MOSTランジスタと強誘電体キャパシタとの間において、層間絶縁膜上に拡散防止膜が積層されているため、キャパシタ強誘電体膜が直接SiO₂、膜、NSG膜又はBPSG膜等の層間絶縁膜と接触することによるキャパシタ強誘電体膜の劣化及び剥離等が防止される。さらに、本発明のFRAMにおいて、キャパシタ強誘電体膜及び上部電極が、それらの側壁に拡散防止膜からなるスペーサを有している場合には、キャパシタ強誘電体の側壁及び底面に現れているキャパシタ強誘電体膜が完全にSiO₂、膜、NSG膜又はBPSG膜等の層間絶縁膜から分離され、それら膜と接触することによるキャパシタ強誘電体膜の劣化及び剥離等が完全に抑制される。

【0031】また、本発明の第1のFRAMの製造方法によれば、下部電極／強誘電体膜のパターニングの後、拡散防止膜／絶縁性薄膜の開口を行い、その後、上部電極のパターニングを行うため、確実にキャパシタ強誘電体膜の側壁が拡散防止膜と絶縁性薄膜との積層膜で被覆されることとなり、キャパシタ強誘電体膜の劣化及び剥離等が防止される。

【0032】さらに、本発明の第2のFRAMの製造方法によれば、下部電極のパターニング及び強誘電体膜／上部電極のパターニングと、2枚のマスキの形成のみにより強誘電体キャパシタが形成されることとなり、工程数が削減される。また、強誘電体膜のエッチングの際には、その上に上部電極材料が形成されているため、エッチングによる強誘電体膜のダメージが低減される。さらに、マスクの形成が削減されるため、デザインマージンが縮小される。

【0033】

【実施例】以下、本発明の不揮発性RAMの実施例を図面に基いて説明する。

実施例1

本発明の不揮発性RAMのセルは、図1に示したように、主として1個のランジスタと1個の強誘電体キャパシタとからなる。ランジスタは、半導体基板1上にゲート絶縁膜2を介して形成され、ワード線として機能するゲート電極3及びこのゲート電極3に自己整合的に形成されたソース／ドレイン領域4とからなる。強誘電体キャパシタは、下部電極7、下部電極7上にのみ形成されたキャパシタ強誘電体膜8及びドライブ線として機能する上部電極11が積層されて構成される。ランジスタ上にはBPSGからなる層間絶縁膜5が形成されており、層間絶縁膜5上に強誘電体キャパシタが配設されている。さらに強誘電体キャパシタ上にはSiO₂、からなる層間絶縁膜12が形成されている。ランジスタの一方のソース／ドレイン領域4には層間絶縁膜5中に

形成されたコンタクトプラグ6を介して強誘電体キャパシタの下部電極7が接続されている。下部電極7及びキャパシタ強誘電体膜8は、その側壁が、キャパシタ強誘電体膜8上に開口を有しかつキャパシタ強誘電体膜8上から層間絶縁膜5上全面に形成されているTiO₂、膜9とSiO₂、膜10との積層膜によって被覆されている。上部電極11は、下部電極7、キャパシタ強誘電体膜8及びTiO₂、膜9とSiO₂、膜10との積層膜を被覆するように形成されている。また、ランジスタの他方のソース／ドレイン領域4にはビットライン13が接続されている。

【0034】このような構成を有するメモリセルにおいては、図2の平面図及び図3の等価回路図に示したように、各メモリセルに共通の上部電極11を、ワード線（ゲート電極3）に平行なドライブ線として配設するため、選択セルのデータの書き換え時および読み出し時における、隣接セルに対するディスタークを阻止することが可能となる。また、キャパシタ強誘電体膜8が直接SiO₂、膜10及び12と接触しないようにそれらの間にTiO₂、膜9を有しているため、キャパシタ強誘電体膜8の劣化や剥離が生じない。

【0035】かかるFRAMは、以下のように製造する。図4（a）に示したように、MOS-FETを有する半導体基板1上に層間絶縁膜としてBPSG5を堆積し、リフローして平坦化を行う。その後、コンタクトフォトリソグラフィ工程によりマスク（図示せず）を形成し、さらに、このマスクを用いてCF₄／CHF₃ガスによりBPSG5をエッチングして、ソース／ドレイン領域4に至るコンタクトホールを形成する。コンタクトホールを含む半導体基板1上に、4500Åのポリシリコンを堆積し、リンの熱拡散によりドーピングする。CMP法によりポリシリコンをエッチバックし、BPSG5上に積層するポリシリコンを完全に除去し、コンタクトプラグ6を形成する。なお、エッチバック後のコンタクトプラグ6の平坦度は300Å以下に抑制される。

【0036】次いで、図4（b）に示したように、コンタクトプラグ6上にスパッタ法により下部電極材料としてPt／Ti／TiN／Ti（500～1000／200／500～1000／200Å）を堆積し、続いてMOCVD法により、強誘電体膜としてPZT膜を

A程度堆積し、550～650℃の温度でPZT膜を結晶化する。その後、フォトリソグラフィ工程によりマスクを形成し、このマスク（図示せず）を用いて塩素系またはフッ素系ガスにより、下部電極材料／PZTの積層膜を同時にパターニングして下部電極7及びキャパシタ強誘電体膜8を形成する。

【0037】続いて、図4（c）に示したように、キャパシタ強誘電体膜8上に反応性スパッタ法により300～1000ÅのTiO₂、膜9、さらにその上に300～1000ÅのSiO₂、膜10を積層する。その後、キャ

バシタ強誘電体膜8上の TiO_2 膜9及び SiO_2 膜10に、フォトリソグラフィ及びエッチング工程により所望の形状を有する開口を形成する。そして、エッチングによる TiO_2 膜9及び SiO_2 膜10の開口部のキャパシタ強誘電体膜8のダメージを回復するため、RTAにより O_2 雰囲気中で500~600℃、30秒のアニールを行う。

【0038】さらに、図4(d)に示したように、開口部を含む TiO_2 膜9及び SiO_2 膜10上に上部電極材料としてPtを500~1000Åの膜厚で、スパッタ法により堆積する。フォトリソグラフィ工程によりマスクを形成し、このマスクを用いて塩素系またはフッ素系ガスにより、Ptをパターニングしてドライブ線として機能する上部電極11を形成する。

【0039】更に、CVD法により SiO_2 膜(図1中、12)を2000~3000Å積層し、コンタクトホール形成後に $Al-Si-Cu/TiN/Ti$ によりMOSTランジスタの他方のソース/ドレイン4領域と接続するビットライン(図1中、13)を形成し、図1に示す不揮発性RAMを完成する。上記FRAMの強誘電体キャパシタにおいては、図4(d)に示したように、例えば、キャパシタサイズS1を1μmとし、0.5μmのデザインルールを考慮した場合、下部電極サイズR1は、キャパシタサイズ:1μmと下部電極デザインマージン:0.25μmとで1.5μmとなり、上部電極サイズQ1は、下部電極サイズR1:1.5μmとさらに上部電極デザインマージン:0.25μmとで2.0μmとなる。

【0040】実施例2

実施例1のFRAMにおいては、 TiO_2 膜9及び SiO_2 膜10に対するフォトリソグラフィ及びエッチング工程の増加やキャパシタ強誘電体膜8のフォトリソグラフィ及びエッチング工程における汚染・ダメージが完全には防止できない。そこで、図5に示した不揮発性RAMのセルを提案する。このFRAMのセルは、主として1個のランジスタと1個の強誘電体キャパシタとからなる。ランジスタの構成は実施例1(図1)と同様であり、MOSTランジスタ上には、層間絶縁膜として SiO_2 膜25、さらに SiO_2 膜25上に TiO_2 膜19が積層されている。強誘電体キャパシタは、 TiO_2 膜19上に形成されており、下部電極17、下部電極17を被覆するように形成されているキャパシタ強誘電体膜18及びドライブ線として機能する上部電極21から構成される。強誘電体キャパシタ上には、層間絶縁膜として SiO_2 膜32が形成されている。ランジスタの一方のソース/ドレイン領域4は、実施例1と同様に強誘電体キャパシタの下部電極17に接続され、他方のソース/ドレイン領域4はビットラインに接続されている。

【0041】このような構成を有するメモリセルも、実

実施例1のメモリセルと同様に、上部電極21をワード線(ゲート電極3)に平行なドライブ線として構成するため、選択セルのデータの書き換え時および読み出し時における、隣接セルに対するディスターブを阻止することが可能となる。また、キャパシタ強誘電体膜18が直接 SiO_2 膜25と接触しないようにそれらの間に TiO_2 膜19を有しているため、キャパシタ強誘電体膜18の劣化や剥離が生じない。

【0042】また、この強誘電体キャパシタにおいては、図6に示したように、例えば、キャパシタサイズSを1μmとし、0.5μmのデザインルールを考慮した場合、下部電極サイズがキャパシタサイズS:1μmとなり、上部電極サイズQは、下部電極サイズ:1μmとさらに上部電極デザインマージン:0.25μmとで1.5μmとなり、実施例1のFRAMのセルよりも、さらに小さく形成することができる。

【0043】かかるFRAMは、以下のように製造する。まず、半導体基板1上に素子分離膜(図示せず)を形成し、活性領域を規定したのち、通常のランジスタ形成プロセスにより、MOSTランジスタを形成する。次いで、図7(a)に示したように、MOSTランジスタを含む半導体基板1上に層間絶縁膜として SiO_2 膜25を堆積する。その後、反応性スパッタ法により300~1000Åの TiO_2 膜19を堆積する。

【0044】続いて、図7(b)に示したように、コンタクトフォトリソグラフィ工程によりマスク(図示せず)を形成し、さらに、このマスクを用いて Cl_2/Ar ガスにより TiO_2 膜19を、引きつづき CF_4/CH_2F_2 ガスにより SiO_2 膜25をエッチングして、ソース/ドレイン領域4に至るコンタクトホールを形成する。その後、コンタクトホールを含む半導体基板1上に、4500Åのポリシリコン6aを堆積し、リンの熱拡散によりドーピングする。

【0045】図7(c)に示したように、CMP法によりポリシリコン6aをエッチバックし、 TiO_2 膜19上に積層するポリシリコン6aを除去し、コンタクトプラグ6を形成する。この際、ポリシリコン6aと TiO_2 膜19との選択比は100以上あるため、エッチバック時に TiO_2 膜19はほとんどエッチングされない。

【0046】次に、図7(d)に示したように、スパッタ法により実施例1と同様の下部電極材料を堆積し、フォトリソグラフィ工程を経て、塩素系またはフッ素系ガスを用いたエッチングにより、所望の形状を有する下部電極17を形成する。

【0047】次いで、図7(e)に示したように、MOCVD法により、PZT膜をA程度堆積し、550~650℃の温度で結晶化する。さらに、実施例1と同様の上部電極材料をスパッタ法により堆積する。その後、フォトリソグラフィ工程によりマスクを形成し、このマスクを用いて塩素系またはフッ素系ガスを用いて上部電極

材料/PZTの積層膜を同時にパターンニングしてキャパシタ強誘電体膜18及び上部電極21を形成する。そして、エッチングによるPtへのチャージアップ等のダメージを回復するため、RTAにより O_2 雰囲気中で550～600℃、30秒のアニールを行う。この際、強誘電体膜18は、 TiO_2 膜19の存在により直接 SiO_2 膜5と接触することがないので、剥離することはない。

【0048】更に、CVD法により SiO_2 膜(図5中、32)を2000～3000Å積層し、コンタクトホール形成後に $Al-Si-Cu/TiN/Ti$ によりMOSトランジスタの他方のソース/ドレイン4領域と接続するビットライン(図5中、13)を形成し、図5に示す不揮発性RAMを完成する。

【0049】実施例3

実施例2において、強誘電体キャパシタ上に形成される層間絶縁膜として SiO_2 膜32を用いた場合の分極特性の劣化を改善するために、図8に示した不揮発性RAMを提供する。このセルにおいては、強誘電体キャパシタのキャパシタ強誘電体膜18と上部電極21との側壁に TiO_2 からなるスペーサ31が形成されている以外は、実施例2のメモリセルと同様である。

【0050】このような構成のメモリセルにおいては、キャパシタ強誘電体膜18が SiO_2 膜25、32と完全に分離され、直接接触しないため、図9に示したように、良好な分極特性を示し、安定したキャパシタ特性を得ることができる。

【0051】

【発明の効果】本発明の第1のFRAMによれば、上記に示したように、強誘電体キャパシタの少なくとも下部電極及びキャパシタ強誘電体膜の側壁が拡散防止膜と絶縁性薄膜との積層膜で被覆されているため、キャパシタ強誘電体膜が直接 SiO_2 膜、NSG膜又はBPSG膜等の層間絶縁膜と接触することによるキャパシタ強誘電体膜の劣化及び剥離等を防止することができる。

【0052】さらに、本発明の第2のFRAMによれば、MOSトランジスタと強誘電体キャパシタとの間において、層間絶縁膜上に拡散防止膜が積層されているため、キャパシタ強誘電体膜が直接 SiO_2 膜、NSG膜又はBPSG膜等の層間絶縁膜と接触することによるキャパシタ強誘電体膜の劣化及び剥離等を防止することができる。

【0053】また、本発明のFRAMにおいて、キャパシタ強誘電体膜及び上部電極が、それらの側壁に拡散防止膜からなるスペーサを有している場合には、キャパシタ強誘電体の側壁及び底面に現れているキャパシタ強誘電体膜を完全に SiO_2 膜、NSG膜又はBPSG膜等の層間絶縁膜から分離することができ、それら膜と接触することによるキャパシタ強誘電体膜の劣化及び剥離等を完全に抑制することができる。従って、信頼性の高いキャパシタを得ることができ、ひいては、FRAM自体

の信頼性が向上することとなる。

【0054】また、本発明の第1のFRAMの製造方法によれば、下部電極/強誘電体膜のパターンニングの後、拡散防止膜/絶縁性薄膜の開口を行い、その後、上部電極のパターンニングを行うため、確実にキャパシタ強誘電体膜の側壁が拡散防止膜と絶縁性薄膜との積層膜で被覆されることとなり、キャパシタ強誘電体膜の劣化及び剥離等を防止することができ、信頼性の高いFRAMを製造することができる。

【0055】さらに、本発明の第2のFRAMの製造方法によれば、下部電極のパターンニング及び強誘電体膜/上部電極のパターンニングと、2枚のマスクの形成のみにより強誘電体キャパシタを形成できることとなり、工程数の削減を実現することができ、製造コストの低減を図ることができる。また、強誘電体膜のエッチングの際には、その上に上部電極材料が形成されているため、エッチングによる強誘電体膜のダメージを低減することができ、高品質で信頼性の高いキャパシタ、引いてはFRAMを製造することができる。さらに、マスクの形成を削減することができるため、マスク数が削減された分のデザインマージンを縮小することができるため、実質的に上部電極を縮小することができ、実効的なキャパシタ占有面積が縮小され、DRAM並の高集積化可能なFRAMを実現することができる。

【図面の簡単な説明】

【図1】本発明のFRAMのセルの実施例を示す概略断面図である。

【図2】図1のFRAMのセルを示す要部の概略平面図である。

【図3】図1のFRAMのセルを示す等価回路図である。

【図4】図1のFRAMのセルにおける強誘電体キャパシタの製造方法を示す概略断面工程図である。

【図5】本発明のFRAMのセルの別の実施例を示す概略断面図である。

【図6】図5のFRAMのセルにおける強誘電体キャパシタのサイズを説明するための要部の概略断面図である。

【図7】図5のFRAMのセルにおける強誘電体キャパシタの製造方法を示す概略断面図である。

【図8】本発明のFRAMのセルのさらに別の実施例を示す概略断面図である。

【図9】図8のFRAMのセルにおける強誘電体膜の分極特性を示すグラフである。

【図10】従来のスタック型FRAMのメモリセルを示す概略断面図である。

【図11】従来のスタック型FRAMの別のメモリセルを示す概略断面図である。

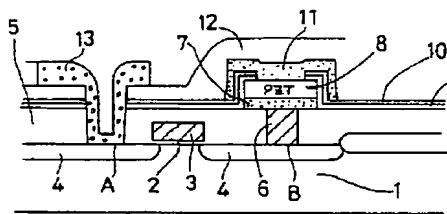
【符号の説明】

1 半導体基板

15

- 2 ゲート絶縁膜
3 ゲート電極
4 ソース/ドレイン領域
5 BPSG膜
6 コンタクトフラップ
7、17 下部電極
8、18 強誘電体膜

【図1】

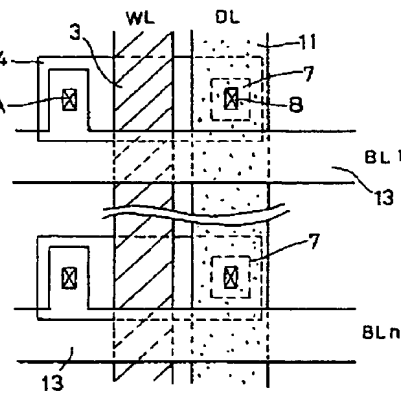


16

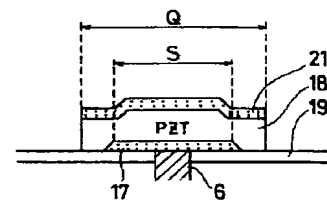
- * 9、19 TiO_2 膜 (拡散防止膜)
10 SiO_2 膜 (絶縁性薄膜)
11、21 上部電極
12、25、32 SiO_2 膜 (層間絶縁膜)
13 ビット線
31 スペース

*

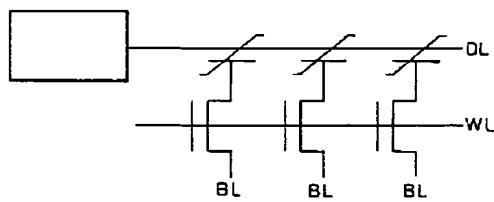
【図2】



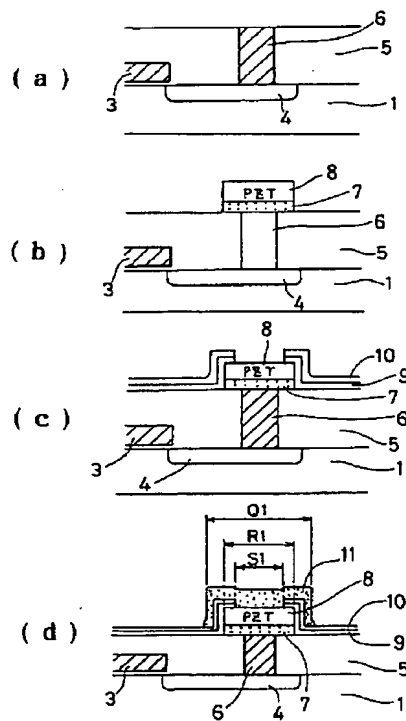
【図6】



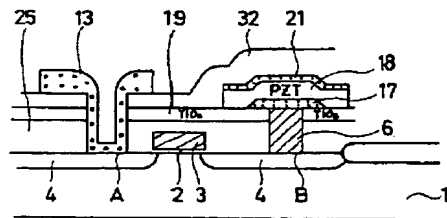
【図3】



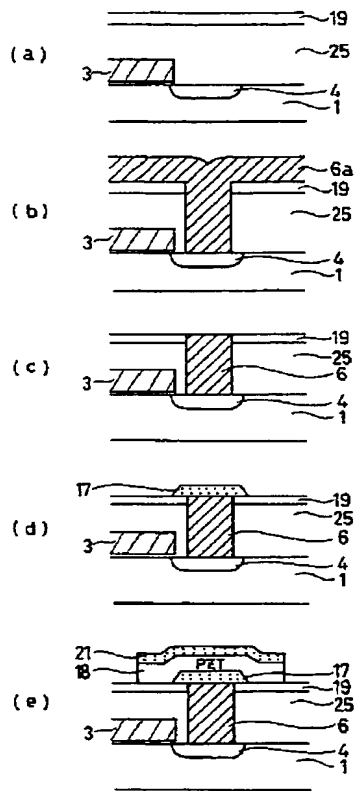
【図4】



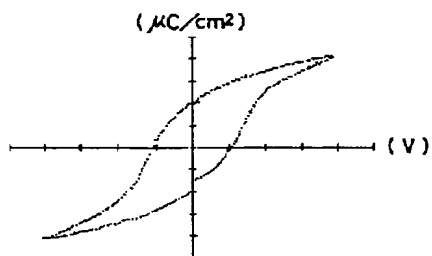
【図5】



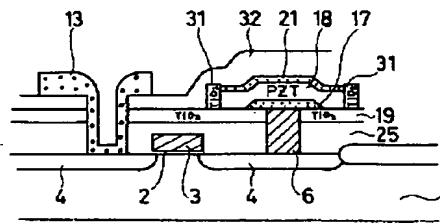
【図 7】



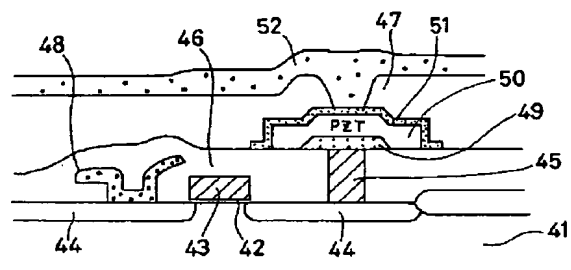
【図 9】



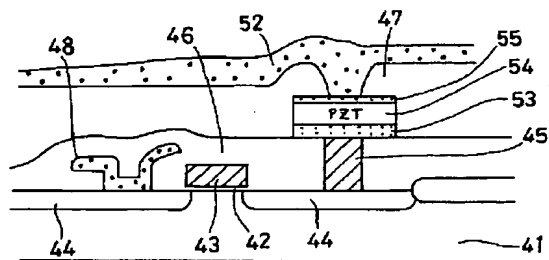
【図 8】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.⁶
H 0 1 L 21/8247
29/788
29/792

識別記号 庁内整理番号

F I

技術表示箇所